(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－251659
（Ｐ2000－251659Ａ）
(43)公開日　平成12年９月14日(2000.9.14)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'（参考）
Ｈ０１Ｊ　9/02		Ｈ０１Ｊ　9/02		Ｂ
1/304		1/30		Ｆ
Ｈ０１Ｌ　29/66		Ｈ０１Ｌ　29/66		

審査請求　未請求　請求項の数８　ＯＬ　（全 10 頁）

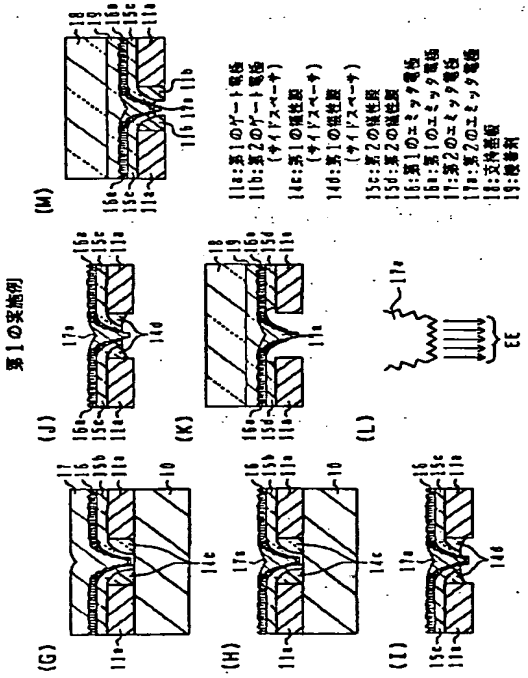
(21)出願番号　特願平11－56090

(22)出願日　平成11年３月３日(1999.3.3)

(71)出願人　000004075
ヤマハ株式会社
静岡県浜松市中沢町10番１号
(72)発明者　服部　敦夫
静岡県浜松市中沢町10番１号　ヤマハ株式会社内
(74)代理人　100091340
弁理士　高橋　敬四郎　（外１名）

(54)【発明の名称】　電界放射型素子の製造方法

(57)【要約】
【課題】　大電流を放射することができる電界放射型素子の製造方法を提供することを課題とする。
【解決手段】　基板上のゲート電極に基板に達する孔を形成する工程と、ゲート電極及び基板上に犠牲膜を形成する工程と、犠牲膜を異方的にエッチングすることにより、ゲート電極の孔の側壁上に該犠牲膜の一部をサイドスペーサとして残す工程と、基板を覆うように絶縁膜を形成する工程と、絶縁膜上に、表面が微細凹凸を有する材料からなる第１のエミッタ電極を形成する工程と、第１のエミッタ電極上に第２のエミッタ電極を形成する工程と、基板並びにその上の絶縁膜及び第１のエミッタ電極の一部を除去することにより、表面が微細凹凸を有する第２のエミッタ電極の先端を露出させる工程とを有する電界放射型素子の製造方法。



1

【特許請求の範囲】

【請求項１】　（ａ）基板上にゲート電極を形成する工程と、

（ｂ）前記ゲート電極に前記基板に達する孔を形成する工程と、

（ｃ）前記ゲート電極及び前記基板上に犠牲膜を形成する工程と、

（ｄ）前記犠牲膜を異方的にエッチングすることにより、前記ゲート電極の孔の側壁上に該犠牲膜の一部をサイドスペーサとして残す工程と、

（ｅ）前記基板を覆うように絶縁膜を形成する工程と、

（ｆ）前記絶縁膜上に、表面が微細凹凸を有する材料からなる第１のエミッタ電極を形成する工程と、

（ｇ）前記第１のエミッタ電極上に第２のエミッタ電極を形成する工程と、

（ｈ）前記基板並びにその上の絶縁膜及び第１のエミッタ電極の一部を除去することにより、表面が微細凹凸を有する第２のエミッタ電極の先端を露出させる工程とを有する電界放射型素子の製造方法。

【請求項２】　前記第１のエミッタ電極は、TiO_xN_y、TiN_x、シリサイド又は他の多結晶材料からなる請求項１記載の電界放射型素子の製造方法。

【請求項３】　さらに、（ｉ）前記工程（ｆ）と（ｇ）の間に、前記第１のエミッタ電極の表面をエッチングすることにより、該第１のエミッタ電極の表面の微細凹凸を強調する工程を有する請求項１又は２記載の電界放射型素子の製造方法。

【請求項４】　前記第１のエミッタ電極は、TiO_xN_y又はTiN_xからなる請求項３記載の電界放射型素子の製造方法。

【請求項５】　（ａ）基板上にゲート電極を形成する工程と、

（ｂ）前記ゲート電極に前記基板に達する孔を形成する工程と、

（ｃ）前記ゲート電極及び前記基板上に犠牲膜を形成する工程と、

（ｄ）前記犠牲膜を異方的にエッチングすることにより、前記ゲート電極の孔の側壁上に該犠牲膜の一部をサイドスペーサとして残す工程と、

（ｅ）前記基板を覆うように絶縁膜を形成する工程と、

（ｆ）前記絶縁膜上にエミッタ電極を形成する工程と、

（ｇ）前記基板及びその上の絶縁膜の一部を除去することにより、前記エミッタ電極の先端を露出させる工程と

（ｈ）前記エミッタ電極先端の表面をエッチングすることにより、該エミッタ電極先端の表面に微細凹凸を形成する工程と、を有する電界放射型素子の製造方法。

【請求項６】　前記エミッタ電極は、TiO_xN_y又はTiN_xからなる請求項５記載の電界放射型素子の製造方法。

【請求項７】　（ａ）基板上にゲート電極を形成する工程と、

2

（ｂ）前記ゲート電極に前記基板に達する孔を形成する工程と、

（ｃ）前記ゲート電極及び前記基板上に犠牲膜を形成する工程と、

（ｄ）前記犠牲膜を異方的にエッチングすることにより、前記ゲート電極の孔の側壁上に該犠牲膜の一部をサイドスペーサとして残す工程と、

（ｅ）前記基板を覆うように絶縁膜を形成する工程と、

（ｆ）前記絶縁膜上に第１のエミッタ電極を形成する工程と、

（ｇ）前記第１のエミッタ電極上に、超微粒子を分散剤とする分散メッキからなる第２のエミッタ電極を形成する工程と、

（ｈ）前記基板並びにその上の絶縁膜及び第１のエミッタ電極の一部を除去することにより、第２のエミッタ電極の先端を露出させる工程とを有する電界放射型素子の製造方法。

【請求項８】　さらに、（ｉ）前記工程（ｈ）の後、前記分散メッキからなる第２のエミッタ電極表面のメッキ部分を除去することにより、該第２のエミッタ電極の表面に前記超微粒子を露出させる工程を有する請求項７記載の電界放射型素子の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、電界放射型素子に関し、特に陰極の先端から電子を放出させる電界放射型素子の製造方法に関する。

【０００２】

【従来の技術】電界放射型素子は、電界集中を利用して、先鋭なエミッタ（陰極）の先端から電子を放出させる。例えば、フラットパネルディスプレイは、多数のエミッタを配列した電界放射エミッタアレイ（ＦＥＡ）を用いて構成される。各エミッタは、ディスプレイ上の各画素の輝度等を制御する。

【０００３】図７は、下段が従来技術による電界放射型素子の構成を示す断面図であり、上段がエミッタ５４の先端部５４ａの拡大図である。

【０００４】電界放射型素子は、ゲート５１と絶縁膜５２，５３とエミッタ５４を有する。エミッタ（陰極）５４に負電位が印加され、図の下方に位置するアノード（図示せず）に正電位が印加される。ゲート５１に正電位を印加することにより、エミッタ５４からアノードへ電子ＥＥを放出させることができる。

【０００５】

【発明が解決しようとする課題】エミッタ５４の先端は、所定の曲率半径を有する。エミッタ５４の先端を先鋭にすることにより、エミッタ５４の先端の曲率半径を小さくすることができる。エミッタ５４の先端を先鋭にすることにより、エミッタ５４の先端から放射される電

流ＥＥを大きくすることができる。

【０００６】しかし、エミッタ５４の先端を針状に先鋭化する技術には限界があり、エミッタ５４からより大きな電流ＥＥを放射させることは困難である。

【０００７】本発明の目的は、大電流を放射することができる電界放射型素子の製造方法を提供することである。

【０００８】

【課題を解決するための手段】本発明の一観点によれば、（ａ）基板上にゲート電極を形成する工程と、（ｂ）前記ゲート電極に前記基板に達する孔を形成する工程と、（ｃ）前記ゲート電極及び前記基板上に犠牲膜を形成する工程と、（ｄ）前記犠牲膜を異方的にエッチングすることにより、前記ゲート電極の孔の側壁上に該犠牲膜の一部をサイドスペーサとして残す工程と、（ｅ）前記基板を覆うように絶縁膜を形成する工程と、（ｆ）前記絶縁膜上に、表面が微細凹凸を有する材料からなる第１のエミッタ電極を形成する工程と、（ｇ）前記第１のエミッタ電極上に第２のエミッタ電極を形成する工程と、（ｈ）前記基板並びにその上の絶縁膜及び第１のエミッタ電極の一部を除去することにより、表面が微細凹凸を有する第２のエミッタ電極の先端を露出させる工程とを有する電界放射型素子の製造方法が提供される。

【０００９】第２のエミッタ電極の先端表面が微細凹凸になるので、第２のエミッタ電極先端から大電流を放射させることができる。

【００１０】

【発明の実施の形態】図１（Ａ）～（Ｆ）、図２（Ｇ）～（Ｋ）は、本発明の第１の実施例による電界放射型素子の製造工程を示す基板断面図である。

【００１１】図１（Ａ）に示すように、シリコン等の半導体基板１０上に、ゲート電極１１としてリン又はボロンをドープした多結晶シリコン膜を０．２μｍ形成する。

【００１２】例えば、Ｈｅで希釈化したSiH_4ガスを０．６ｓｌｍ流し、チャンバ内温度を６２５℃、圧力を３０Ｐａにして、化学気相堆積（ＣＶＤ）法によりゲート電極１１を成膜する。

【００１３】その後、ゲート電極１１の抵抗を下げるために、縦型拡散炉を用いて、多結晶シリコンからなるゲート電極１１にリンを拡散する。例えば、$POCl_3$を５０ｍｇ／ｍｉｎ、N_2を２０ｓｌｍ、O_2を０．１ｓｌｍ供給し、温度を８５０℃にすればよい。

【００１４】なお、基板１０とゲート電極１１の間には、次のエッチング工程で基板１０がエッチングされることを防止するためのストッパ層として、シリコン酸化膜やシリコン窒化膜を成膜してもよい。

【００１５】次に、フォトリソグラフィにより、ゲート電極１１の上にレジストパターン１２を形成する。そして、そのレジストパターン１２をマスクとしてゲート電極１１をエッチングする。その後、レジストパターン１２は除去する。

【００１６】図１（Ｂ）に示すように、上記のエッチングにより、凹部（孔）１３を有するゲート電極１１ａが形成される。凹部１３は、断面が矩形であり、平面が円である円筒形状である。凹部１３は、直径が０．５μｍ、深さが０．２μｍである。

【００１７】次に、図１（Ｃ）に示すように、基板上に、酸化シリコンからなる第１の犠牲膜（絶縁膜）１４ｂを常圧ＣＶＤ法により０．１５μｍ等法的に成膜する。成膜条件は、例えば、O_3とＴＥＯＳを原料ガスとし、基板温度を４００℃とする。

【００１８】次に、第１の犠牲膜１４ｂを異方的に全面エッチング（エッチバック）して、図１（Ｄ）に示すように、ゲート電極１１ａの側壁上にのみ第１の犠牲膜１４ｃをサイドスペーサ（サイドウォール）として残す。このエッチングは、異方性ドライエッチングであり、例えば、マグネトロンＲＩＥ装置を用い、エッチングガスとしてCHF_3＋CO_2＋Ａｒを用い、反応室内圧力を５０ｍＴｏｒｒにして行う。

【００１９】次に、図１（Ｅ）に示すように、基板上に、酸化シリコンからなる第２の犠牲膜（絶縁膜）１５ｂを常圧ＣＶＤ法により、０．０５μｍ成膜する。成膜条件は、例えば、原料ガスとしてO_3とＴＥＯＳを用い、基板温度を４００℃とする。

【００２０】次に、図１（Ｆ）に示すように、第２の犠牲膜１５ｂ上に、TiO_xN_yからなる第１のエミッタ電極１６を反応性スパッタ法により０．１０μｍ堆積する。反応性スパッタは、ＤＣスパッタ装置を用い、Ｔｉをターゲットとし、N_2＋O_2＋Ａｒガスを導入しながら行う。ＡｒイオンでスパッタされたTiがN及びOと化学反応することによりTiO_xN_yが生成される。

【００２１】なお、第１のエミッタ電極１６として、TiO_xN_yの代わりに、TiN_xを反応性スパッタ法により成膜してもよい。

【００２２】TiO_xN_yは、独特の針状（柱状）構造を持ち、膜表面に微細な凹凸を有する。TiN_xも、同様に膜表面に微細凹凸を有する。

【００２３】次に、第１のエミッタ電極１６の表面をウェットエッチング又はＲＩＥドライエッチングする。第１のエミッタ電極（TiO_xN_y又はTiN_x）１６中の粒界のエッチング速度は速いため、TiO_xN_y又はTiN_xの針状（柱状）晶に対応する微細凹凸が強調される。このエッチングは、必ずしも行う必要はないが、行うことが好ましい。

【００２４】上記のウェットエッチングにはH_2SO_4＋H_2O_2又はエチレンジアミン４酢酸等を用い、ＲＩＥドライエッチングにはCF_4又はCl_2ガスを用いればよい。

5

【００２５】第１のエミッタ電極１６は、TiO_xN_y又はTiN_xの他、表面に微細凹凸を有するものであればよい。例えば、WSi_x、$TiSi_x$又は$MoSi_x$等のシリサイドを成膜し、そのシリサイド膜をベークすることにより、第１のエミッタ電極１６を形成してもよい。また、第１のエミッタ電極１６として、β－Wや多結晶シリコン等の多結晶材料を用いてもよい。多結晶材料は、表面に凹凸を有し、軽くエッチング処理すると、その凹凸が強調される。

【００２６】次に、図２（Ｇ）に示すように、第１のエミッタ電極１６上に、Wからなるブランケットタングステン膜（第２のエミッタ電極）１７をＣＶＤ法により０．２μｍ等方的に堆積する。堆積条件は、例えば、原料ガスとして$WF_6+H_2+N_2+Ar$を用い、圧力を８０Ｔｏｒｒ、温度を４５０℃とする。

【００２７】次に、第２のエミッタ電極１７を約０．２μｍ全面エッチング（エッチバック）して、図２（Ｈ）に示すように、第１のエミッタ電極１６の凹部にのみ第２のエミッタ電極１７ａを残す。第１のエミッタ電極１６の平坦部は露出する。このエッチングは、異方性ドライエッチングであり、例えば、マグネトロンＲＩＥ装置を用い、エッチングガスとして$SF_6+Ar+He$を用い、反応室内圧力を２８０ｍＴｏｒｒにして行う。

【００２８】次に、基板１０の全部とサイドスペーサ１４ｃと第２の犠牲膜１５ｂの一部をエッチングにより除去する。図２（Ｉ）に示すように、第１のエミッタ電極１６の先端部が露出し、周辺のサイドスペーサ１４ｄと第２の犠牲膜１５ｃが残る。

【００２９】シリコンからなる基板１０のエッチングには$HF+HNO_3+CH_3COOH$を用い、酸化シリコンからなるサイドスペーサ１４ｃと第２の犠牲膜１５ｂのエッチングには$HF+NH_4F$を用いる。

【００３０】次に、第１のエミッタ電極１６の先端部をエッチングする。図２（Ｊ）に示すように、第２のエミッタ電極１７ａの先端部が露出し、周辺の第１のエミッタ電極１６ａが残る。上記のように、第１のエミッタ電極１６ａの上面は微細凹凸を有するため、それを成形型（モールド）とする第２のエミッタ電極１７ａの露出した先端部表面も微細凹凸を有する。

【００３１】上記の第１のエミッタ電極（TiO_xN_y又はTiN_x）１６のエッチングは、$H_2SO_4+H_2O_2$又はエチレンジアミン４酢酸等を用いたウェットエッチング、又はCF_4やCl_2ガスを用いたＲＩＥドライエッチングでよい。

【００３２】なお、上記の第１のエミッタ電極１６のエッチングは、第２のエミッタ電極１７ａの先端が露出する前にストップしてもよい。第１のエミッタ電極１６の先端表面をエッチングするだけでも、上記のように、第１のエミッタ電極１６の針状（柱状）晶が強調され、第１のエミッタ電極１６の表面に微細凹凸を形成することができる。

6

【００３３】次に、図２（Ｋ）に示すように、第１及び第２のエミッタ電極１６ａ，１７ａの上面に、接着剤１９を用いて支持基板１８を張り合わせることにより、電界放射型素子に十分な機械的強度を付与する。具体的には、第１及び第２のエミッタ電極１６ａ，１７ａ上に、低融点ガラスからなる接着剤１９をリフローし、ガラスや石英等からなる支持基板１８を接着する。接着剤１９は、第１及び第２のエミッタ電極１６ａ，１７ａの表面を平坦化する役割をも有する。

【００３４】なお、支持基板１８を接着する工程は、図２（Ｈ）の工程の後に行ってもよい。

【００３５】電界放射型素子を支持基板１８で補強した後、図２（Ｊ）に示すサイドスペーサ１４ｄの全部と第２の犠牲膜１５ｃの一部をエッチングにより除去する。図２（Ｋ）に示すように、ゲート電極１１ａの側壁の全てが露出され、周辺の第２の犠牲膜１５ｄが残る。

【００３６】以上で、ゲート電極１１ａとエミッタ電極１６ａ，１７ａを有する２電極構造の電界放射型素子が完成する。この電界放射型素子の下方に、別にアノード電極が設けられる。エミッタ電極１６ａ，１７ａに負電位を印加し、アノード電極に正電位を印加する。ゲート電極１１ａに正電位を印加すると、エミッタ電極１６ａ，１７ａの先端に強電界が発生し、エミッタ電極１６ａ，１７ａからアノード電極に向けて電子を放出させることができる。

【００３７】図２（Ｌ）は、第２のエミッタ電極１７ａの先端部を拡大した模擬図である。第２のエミッタ電極１７ａの先端は、微細凹凸を有するので、微細な凸部を多数有することになり、大電流ＥＥを放射することができる。この電界放射型素子は、図７に示す従来技術によるものに比べ、大電流ＥＥを放射することができる。

【００３８】なお、上記では、絶縁材料からなるサイドスペーサ１４ｃを形成する場合を説明したが、そのサイドスペーサ１４ｃの代わりに、図２（Ｍ）に示すように、導電材料からなるサイドスペーサ（第２のゲート電極）１１ｂを設けてもよい。その場合、第１のゲート電極１１ａと第２のゲート電極１１ｂが一体となって、１つのゲート電極を形成する。第２のゲート電極１１ｂは、例えば金属、多結晶シリコン又は非晶質シリコン等である。この場合、ゲート電極１１ａ，１１ｂとエミッタ電極１６ａ，１７ａとの距離を短くすることができる。

【００３９】図３（Ａ）～（Ｆ）は、本発明の第２の実施例による電界放射型素子の製造工程を示す基板断面図である。

【００４０】図３（Ａ）に示すように、図１（Ｅ）に示す構造を形成した後、第２の犠牲膜１５ｂの上に、TiN_xからなる第１のエミッタ電極１６を反応性スパッタ法により０．０５μｍ堆積する。反応性スパッタは、Ｄ

7

Ｃスパッタ装置を用いて、ターゲットとしてＴｉを用い、N_2＋Ａｒガスを導入しながら行う。

【００４１】反応性スパッタ法の代わりに、通常のスパッタ法を使用する場合には、ターゲットとしてTiN_xを用い、Ａｒガスを導入しながら行う。また、蒸着法を用いてもよい。

【００４２】第１のエミッタ電極１６は、TiN_xの他、Ｔｉ，Ｗ，Ｍｏ，Ｎｉ，Ｃｒ等の金属や、TiO_xN_y，TiW_x，$CrNi_x$等の合金材料を用いてもよい。

【００４３】次に、図３（Ｂ）に示すように、第１のエミッタ電極１６の上に、第２のエミッタ電極１７を形成する。第２のエミッタ電極１７は、超微粒子の分散剤１７ｂとメッキ１７ｃを有する分散メッキ（複合メッキ）である。超微粒子は、平均粒径１０ｎｍ以下が好ましい。

【００４４】分散メッキを形成するには、スルファミン酸ニッケルメッキ液（スルファミン酸ニッケル＋ほう酸＋臭化ニッケル濃厚液、ｐＨ４、温度４９℃）中に、平均粒径５ｎｍのダイヤモンド超微粒子を添付し、電解する。すると、ニッケルをメッキ（マトリクス）１７ｃとし、ダイヤモンド超微粒子を分散剤１７ｂとする分散メッキが得られる。

【００４５】なお、ダイヤモンドの代わりに、ダイヤモンドライクカーボンやアモルファスカーボンあるいは窒化ボロンを用いてもよい。

【００４６】次に、基板１０の全部とサイドスペーサ１４ｃと第２の犠牲膜１５ｂの一部をエッチングにより除去する。図３（Ｃ）に示すように、第１のエミッタ電極１６の先端部が露出し、周辺のサイドスペーサ１４ｄ及び第２の犠牲膜１５ｃが残る。

【００４７】シリコンからなる基板１０のエッチングには$HF+HNO_3+CH_3COOH$を用い、酸化シリコンからなるサイドスペーサ１４ｃと第２の犠牲膜１５ｂのエッチングには$HF+NH_4F$を用いる。

【００４８】次に、エチレンジアミン４酢酸を用いたウェットエッチングにより、露出した第１のエミッタ電極（TiN_x）１６の先端部を除去する。図３（Ｄ）に示すように、第２のエミッタ電極１７の先端部が露出し、周辺の第１のエミッタ電極１６ａが残る。

【００４９】図３（Ｅ）は、上段が基板断面図であり、下段が第２のエミッタ電極１７の先端部の拡大図である。図３（Ｅ）に示すように、第２のエミッタ電極（分散メッキ）１７中のメッキ（ニッケル）１７ｃの表面を希硝酸によりウェットエッチングし、第２のエミッタ電極１７の表面に分散剤（ダイヤモンド超微粒子）１７ｂを露出させる。分散剤１７ｂを露出させることにより、第２のエミッタ電極１７の先端部に微細な凹凸が形成される。ウェットエッチングの他に、ドライエッチングやイオンミリング等を用いてもよい。

8

【００５０】なお、上記の第１のエミッタ電極１６のエッチング工程（図３（Ｄ））と第２のエミッタ電極１７のエッチング工程（図３（Ｅ））を同一工程で行ってもよい。例えば、$H_2SO_4+H_2O_2$等を用いたウェットエッチング、又はCF_4やCl_2ガスを用いたＲＩＥドライエッチングにより、第１のエミッタ電極１６の先端部を除去し、さらに連続的に第２のエミッタ電極１７の先端部表面のメッキをエッチングする。

【００５１】以上で、ゲート電極１１ａとエミッタ電極１６ａ，１７を有する２電極構造の電界放射型素子が完成する。第２のエミッタ電極１７の先端は、分散剤１７ｂが露出し、微細凹凸を有するので、第１の実施例と同様に、大電流を放射することができる。

【００５２】なお、絶縁材料からなるサイドスペーサ１４ｃの代わりに、図３（Ｆ）に示すように、導電材料からなるサイドスペーサ（第２のゲート電極）１１ｂを設けてもよい。その場合、第１のゲート電極１１ａと第２のゲート電極１１ｂが一体となって、１つのゲート電極を形成する。

【００５３】図４（Ａ）～（Ｆ）、図５（Ｇ）、（Ｈ）は、本発明の第３の実施例による電界放射型素子の製造工程を示す基板断面図である。

【００５４】まず、図４（Ａ）に示すように、フォトリソグラフィ及びエッチングにより、石英からなる基板１０ａ上に、所定パターンのゲート電極１１ａとサイドスペーサ１４ｃを形成する。

【００５５】具体的には、図１（Ａ）の工程と同様に、石英からなる基板１０上に、リン又はボロン等の不純物をドープした多結晶シリコンからなるゲート電極１１を０．２μｍ堆積する。次に、図１（Ｂ）の工程と同様に、フォトリソグラフィ及びエッチングにより、所定パターンのゲート電極１１ａを形成する。

【００５６】次に、図１（Ｃ）の工程と同様に、窒化シリコンからなる第１の犠牲膜１４ｂを減圧ＣＶＤ法により基板全面に等方的に０．１５μｍ堆積する。減圧ＣＶＤ法は、例えば、$SiH_2Cl_2+NH_3$を原料ガスとし、圧力を６０Ｐａとし、成膜温度を７６０℃とする。

【００５７】次に、第１の犠牲膜（絶縁膜）１４ｂを異方的にドライエッチングする。図４（Ａ）に示すように、第１の犠牲膜１４ｂの一部であるサイドスペーサ１４ｃが、ゲート電極１１ａの側壁の下部にのみ残り、基板１０ａに凹部１３が形成される。基板１０ａの凹部１３の深さは、０．１μｍである。

【００５８】上記のドライエッチングは、例えば、マグネトロンＲＩＥ装置を用い、エッチングガスとしてCHF_3+CO_2+Arを用い、反応室内圧力を５０ｍＴｏｒｒとする。

【００５９】次に、図４（Ｂ）に示すように、窒化シリコンからなる第２の犠牲膜（絶縁膜）１５ｂを減圧ＣＶＤ法により基板全面に０．１μｍ堆積する。減圧ＣＶＤ

9

法は、例えば、$SiH_2Cl_2+NH_3$を原料ガスとし、圧力を６０Ｐａとし、温度を７６０℃とする。

【００６０】次に、図４（Ｃ）に示すように、第２の犠牲膜１５ｂ上に、TiN_xからなる第１のエミッタ電極１６を０．０５μｍ成膜する。この成膜は、ＤＣスパッタ装置を用い、Ｔｉをターゲットとし、N_2+Arを導入しながら、反応性スパッタにより行う。

【００６１】なお、TiN_xの代わりに、TaN_x，Ｔａ，WN_xを用いてもよい。

【００６２】次に、図４（Ｄ）に示すように、第１のエミッタ電極１６の上に、分散メッキである第２のエミッタ電極１７を形成する。第２のエミッタ電極（分散メッキ）１７は、銅からなるメッキ（マトリクス）１７ｃとダイヤモンド超微粒子からなる分散剤１７ｂを有する。具体的には、硫酸銅＋硫酸＋添加剤からなる硫酸銅メッキ液に、ダイヤモンド超微粒子を添加し、電解する。すると、銅をメッキ（マトリクス）１７ｃとし、ダイヤモンド超微粒子を分散剤１７ｂとする分散メッキ１７を得ることができる。

【００６３】なお、ダイヤモンドの代わりに、ダイヤモンドライクカーボンやアモルファスカーボンあるいは窒化ボロンを用いてもよい。

【００６４】次に、図４（Ｅ）に示すように、基板１０ａをエッチングにより除去する。基板（石英）１０ａのエッチングには、$HF+NH_4F$を用いる。なお、図２（Ｋ）の工程と同様に、支持基板１８を接着してから、上記の基板１０ａの除去を行ってもよい。

【００６５】次に、第２の犠牲膜１５ｂの先端部を化学機械的研磨（ＣＭＰ）により除去し、その後、露出した第１のエミッタ電極１６の先端部をＣＭＰにより除去する。図４（Ｆ）に示すように、第２のエミッタ電極１７の先端部が露出し、周辺の第２の犠牲膜１５ｃ及び第１のエミッタ電極１６ｂが残る。

【００６６】第２の犠牲膜（窒化シリコン）１５ｂのＣＭＰには、ｐＨが約１１の水酸化カリウムをベースとしたシリカスラリを用いる。第１のエミッタ電極（TiN_x）１６のＣＭＰには、ｐＨが約３の希酸（硫酸、硝酸、酢酸）をベースとしたアルミナスラリを用いる。

【００６７】上記の第１のエミッタ電極１６のＣＭＰの際、第２のエミッタ電極１７の先端部表面もＣＭＰにより除去される。具体的には、第２のエミッタ電極（分散メッキ）１７中のメッキ（銅）１７ｃはＣＭＰにより除去され、分散剤（ダイヤモンド超微粒子）１７ｂは硬いため削られずにＣＭＰストッパとして機能する。すなわち、メッキ１７ｂのみ削られ、分散剤１７ｂが露出する。第２のエミッタ電極１７の先端部は、微細凹凸を有する。

【００６８】なお、ＣＭＰの代わりに、ウェットエッチング、ドライエッチング又はイオンミリングを用いてもよい。

10

【００６９】次に、サイドスペーサ１４ｃの全部と第２の犠牲膜１５ｃの一部をエッチングにより除去する。図５（Ｇ）に示すように、第１のエミッタ電極１６ａ及びゲート電極１１ａの表面が露出し、周辺の第２の犠牲膜１５ｅが残る。

【００７０】窒化シリコンからなるサイドスペーサ１４ｃ及び第２の犠牲膜１５ｃのエッチングには、１６０℃に加熱したH_3PO_4を用いる。

【００７１】以上で、ゲート電極１１ａとエミッタ電極１６ａ，１７を有する２電極構造の電界放射型素子が完成する。第２のエミッタ電極１７の先端は、分散剤１７ｂの微細凹凸が露出しているので、大電流を放射することができる。

【００７２】なお、絶縁材料からなるサイドスペーサ１４ｃの代わりに、図５（Ｈ）に示すように、導電材料からなるサイドスペーサ（第２のゲート電極）１１ｂを設けてもよい。その場合、第１のゲート電極１１ａと第２のゲート電極１１ｂが一体となって、１つのゲート電極を形成する。

【００７３】以上のように、第１～３の実施例によれば、エミッタ電極の先端部に微細凹凸を形成することにより、エミッタから大電流を放射させることができる。

【００７４】図６は、上記の実施例の電界放射型素子を用いたフラットパネルディスプレイの断面図である。

【００７５】電界放射型素子は、上述の実施例に示した方法により製造された２電極素子である。絶縁体からなる支持基板３１の上に、ＡｌまたはＣｕ等からなる配線層３２と多結晶Ｓｉ等からなる抵抗層３３を形成する。抵抗層３３の上には、富士山状の先端を持つエミッタ電極３４を多数配列し、電界放射エミッタアレイ（ＦＥＡ）を形成する。ゲート電極３５は、各エミッタ電極３４の先端付近に小さな開口（ゲートホール）を有し、図示しないが開口ごとに独立して電圧を印加することができる。複数のエミッタ電極３４も、それぞれ独立して電圧を印加することができる。

【００７６】エミッタ電極３４およびゲート電極３５を含む電子源に対向して、ガラスまたは石英等からなる透明基板３６を含む対向基板を配置する。対向基板は、透明基板３６の下にＩＴＯ等からなる透明電極（アノード電極）３７を配置し、さらにその下に蛍光材３８を配置する。

【００７７】電子源と対向基板とは、透明電極３７とエミッタ電極３４の間の距離が０．１～５ｍｍ程度に保たれるように、接着剤を塗布したガラス基板からなるスペーサ４０を介して接合される。接着剤には、例えば低融点ガラスを用いることができる。

【００７８】なお、スペーサ４０としてガラス基板を用いず、エポキシ樹脂等の接着剤中にガラスビーズ等を分散させてスペーサ４０を構成することもできる。

【００７９】ゲッター材４１は、例えばＴｉ、Ａｌ、Ｍ

11

ｇ等で形成され、放出ガスがエミッタ電極３４の表面に再付着するのを防止する。

【００８０】対向基板には、予め排気管３９が形成されている。排気管３９を利用して、フラットパネルディスプレイの内部を１０$^{-5}$～１０$^{-9}$Ｔｏｒｒ程度まで真空排気した後、バーナー４２等で排気管３９を封止する。その後、アノード電極（透明電極）３７、エミッタ電極３４、ゲート電極３５の配線を行い、フラットパネルディスプレイを完成させる。

【００８１】アノード電極（透明電極）３７は、常に正電位に保持されている。表示画素は、エミッタ配線とゲート配線とにより２次元的に選択される。つまり、電圧が印加されたエミッタ配線とゲート配線の交点に配置される電界放射型素子が選択される。

【００８２】エミッタ電極３４およびゲート電極３５には、それぞれ負電位および正電位が与えられ、エミッタ電極３４からアノード電極３７に向けて電子が放出される。電子が蛍光材３８に照射されると、その部分（画素）が発光する。

【００８３】なお、ゲート電極には、多結晶Ｓｉや非晶質Ｓｉ等の半導体、ＷＳｉ$_x$やＴｉＳｉ$_x$やＭｏＳｉ$_x$等のシリサイド化合物、ＡｌやＣｕやＷやＭｏやＮｉやＣｒやＨｆやＴｉＮ$_x$等の金属を用いることができる。

【００８４】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【００８５】

【発明の効果】以上説明したように、本発明によれば、エミッタ電極の先端表面が微細凹凸になるので、エミッタ電極先端から大電流を放射させることができる。

【図面の簡単な説明】

【図１】　図１（Ａ）～（Ｆ）は、本発明の第１の実施＊例による電界放射型素子の製造工程を示す基板断面図である。

12

【図２】　図２（Ｇ）～（Ｍ）は、図１（Ｆ）に続く電界放射型素子の製造工程を示す基板断面図である。

【図３】　図３（Ａ）～（Ｆ）は、本発明の第２の実施例による電界放射型素子の製造工程を示す基板断面図である。

【図４】　図４（Ａ）～（Ｆ）は、本発明の第３の実施例による電界放射型素子の製造工程を示す基板断面図である。

【図５】　図５（Ｇ）及び（Ｈ）は、図４（Ｆ）に続く電界放射型素子の製造工程を示す基板断面図である。

【図６】　電界放射型素子を用いたフラットパネルディスプレイの断面図である。

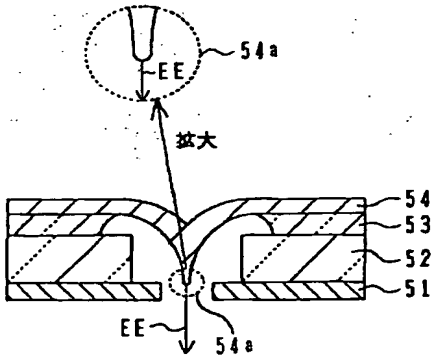
【図７】　従来技術による電界放射型素子の断面図である。

【符号の説明】

１０，１０ａ　基板、　１１，１１ａ，１１ｂ　ゲート電極、　１２　レジストパターン、　１３　凹部（孔）、　１４ｂ，１４ｃ，１４ｄ　第１の犠牲膜（絶縁膜）、　１５ｂ，１５ｃ，１５ｄ，１５ｅ　第２の犠牲膜（絶縁膜）、　１６，１６ａ　第１のエミッタ電極、　１７，１７ａ　第２のエミッタ電極、　１７ｂ　分散剤、　１７ｃ　メッキ、　１８　支持基板、１９　接着剤、　３１　支持基板、　３２　配線層、　３３　抵抗層、３４　エミッタ電極、　３５　ゲート電極、　３６　透明基板、　３７　透明電極、　３８　蛍光材、　３９　排気管、　４０　スペーサ、４１　ゲッター材、　４２　バーナ、　５１　ゲート電極、　５２，５３　絶縁膜、　５４　エミッタ電極、　５４ａ　エミッタ電極先端部

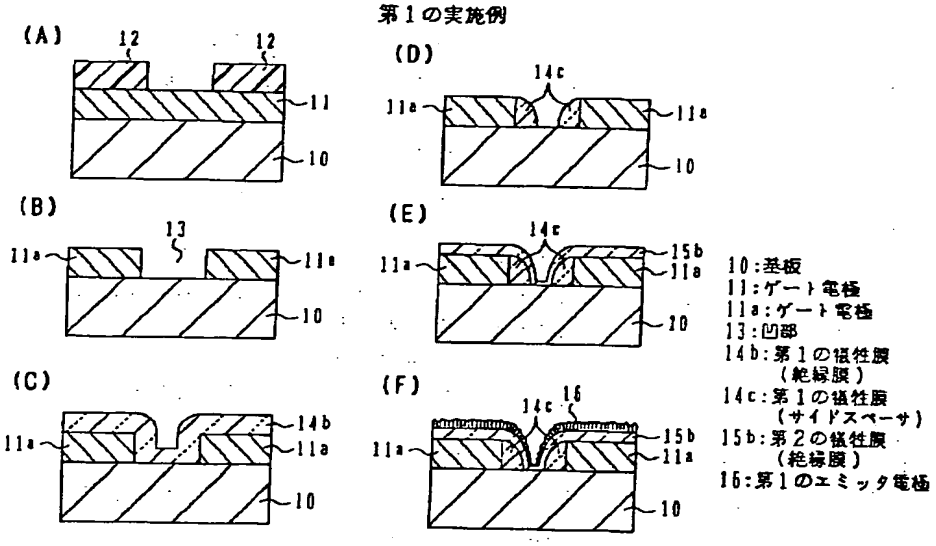
【図７】

従来技術



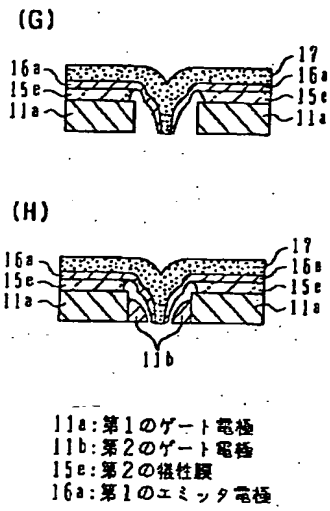
【図１】

第１の実施例



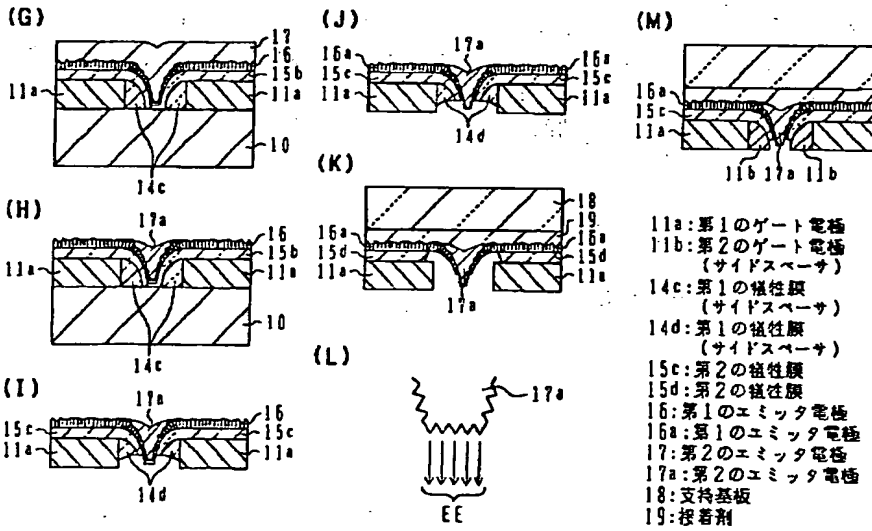
【図５】

第３の実施例



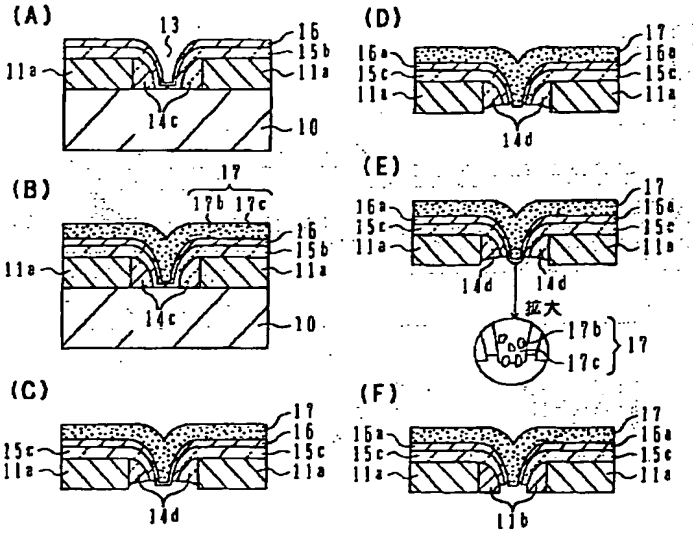
【図２】

第１の実施例



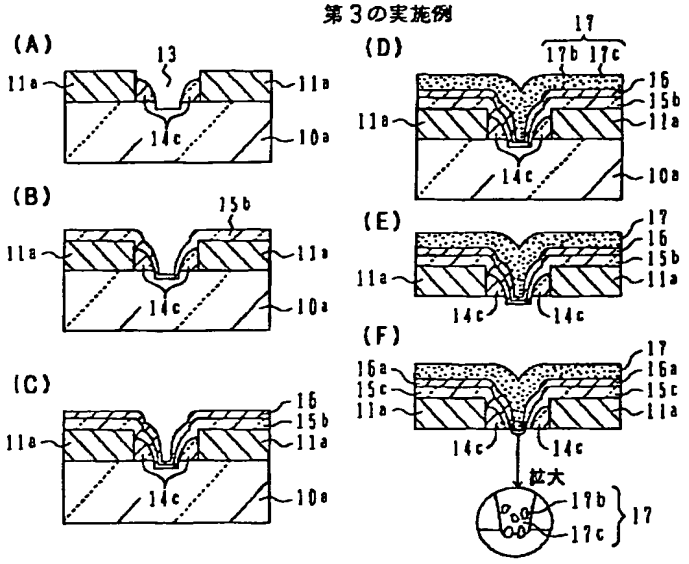
【図３】

第２の実施例



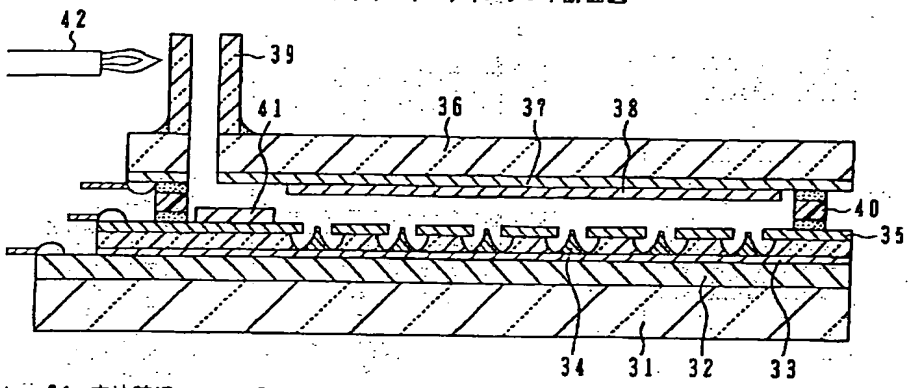
【図４】

第３の実施例



【図６】

フラットパネルディスプレイ断面図



31：支持基板　35：ゲート電極　39：排気管
32：配線層　36：透明基板　40：スペーサ
33：抵抗層　37：透明電極　41：ゲッター材
34：エミッタ電極　38：蛍光材　42：バーナ